

(11)特許出願公開番号

特開平5-259900

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

H 0 3 L 7/099

H 0 3 C 3/00

B 8321-5 J

H O 3 K 3/354

B 7436-5 J

9182-5 J.

H 0 3 L 7/ 08

F

審査請求 未請求 請求項の数 4 (全 9 頁)

(21)出願番号

特願平4-87721

(22)出願日

平成4年(1992)3月10日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(72)発明者 岡林 浩次

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 坂井 昌弘

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

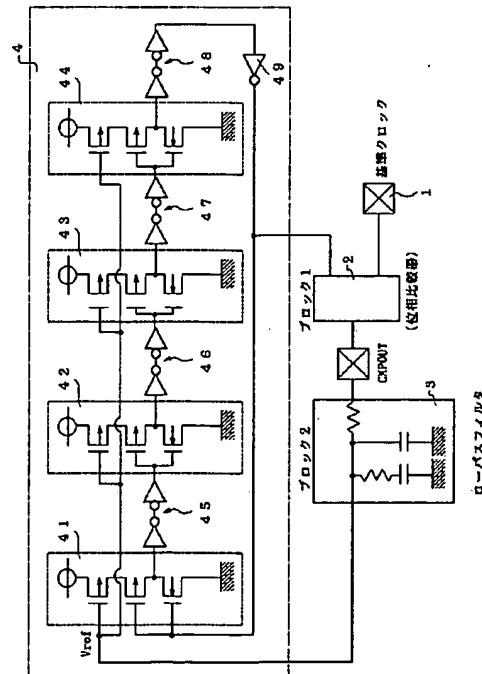
(74)代理人 弁理士 鳥居 洋

(54)【発明の名称】 位相変調回路

(57) 【要約】

【目的】 位相変調回路に関し、基準クロックからの出力信号の位相のずれの設定の自由度を高められる位相変調回路を提供することを目的とする。

【構成】 基準クロックを入力する電圧制御型発振回路4と、基準クロックと該電圧制御型発振回路4の出力との位相差を検出する位相比較回路2と、位相比較回路2の出力を積分して前記電圧制御型発振回路4の制御信号として出力するローパスフィルタ3とを備える位相変調回路において、前記電圧制御型発振回路4が、偶数個の導通抵抗制御型CMOSインバータ41～44と、奇数個の通常のCMOSインバータ49とを用いるN段のリングオシレータで構成され、該リングオシレータの各段から位相変換された信号を出力させる。



【特許請求の範囲】

【請求項1】 基準クロックを入力する電圧制御型発振回路と、基準クロックと該電圧制御型発振回路より出力される信号との位相差を求め、その出力結果を出力する位相比較回路と、位相比較回路の出力を前記電圧制御型発振回路の制御信号として演算するローパスフィルタとからなる位相ロックループを備える位相変調回路において、前記電圧制御型発振回路が、導通抵抗を電圧制御により可変できる偶数個のCMOSインバータと、奇数個の通常のCMOSインバータとを用いるN段のリングオシレータで構成され、該リングオシレータの各段から基準クロックから均一に基準クロックの周期の $2 \times N$ 分の1ずつ位相のずれたN種類の信号を出力させることを特徴とする位相変調回路。

【請求項2】 前記電圧制御型発振回路からの出力を選択するエンコーダを設け、基準クロックから出力信号の遅延量をプログラム可能にしたことを特徴とする請求項1に記載の位相変調回路。

【請求項3】 N段のリングオシレータの各段から出力される信号を入力してこれらの論理積を出力する論理積回路を設けたことを特徴とする請求項1または2に記載の位相変調回路。

【請求項4】 電圧制御型発振回路、位相比較回路を構成する各素子をMOSで構成し、基準クロックの周波数をリングオシレータ内で隣り合うCMOSインバータの位相差分まで疑似的に変倍制御させることを特徴とする請求項1ないし3のいずれかに記載の位相変調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばレーザープリンタのレーザ書き込み時のジャギー補正、マイクロプロセッサのマシニングクロック制御、DRAMコントローラ、シフトレジスタのクロック回路等のCMOS信号発生回路等に応用できる位相変調回路に係り、特に基準クロックからの出力信号の位相のずれの設定の自由度が高められた位相変調回路と、基準クロックを高精度に変倍できる位相変調回路に関する。

【0002】

【従来の技術】従来、所定の周波数の基準クロックから位相のずれた信号を得る回路として、例えば、図8に示すX'TAL接続型あるいはCR接続型の発振装置、図9に示す1/2分周回路、図10に示す2相クロック発生回路がある。

【0003】

【発明が解決しようとする課題】図8の発振装置あるいは図9の1/2分周回路を用いるCMOSゲートアレイシステム等においては、これらの回路からの信号を基準として回路の同期設計が行われる。この場合、回路内部では例えば図11のシフトレジスタの制御タイムチャ-

ーに示すように、基準クロック内で基準クロックの立ち上がりエッジ及び立ち下がりエッジを使用して2倍の周波数での制御しかできない。

【0004】また、図8の発振装置では、基準クロックに対する遅延量がインバータの内部抵抗とコンデンサの容量によって図12に示すように固定されるため、周波数が固定された基準クロックを使用する場合には所定の遅延量を精度高く得ることができるが、周波数変調された信号を基準クロックとして用いる場合には、任意の遅延量を精度よく得ることができないという欠点がある。

【0005】図10に示す2相クロック発生回路では、180度位相のずれた回路で2つのパルスを発生させORをとることによって周波数を変倍できるが、基準クロックを精度よく高い周波数へ変倍することは図10の回路では問題があった。

【0006】本発明の第1の位相変調回路の目的は、基準クロックからの出力信号の位相のずれの設定の自由度が高められた位相変調回路を提供することを目的とする。

【0007】本発明の第2の位相変調回路の目的は、本発明の第1の位相変調回路を利用して出力信号の遅延量をプログラムできる位相変調回路を提供することを目的とする。

【0008】本発明の第3の位相変調回路は、本発明の第1または第2の位相変調回路を利用して基準クロックを高精度に変倍できる位相変調回路を提供することを目的とする。

【0009】本発明の第4の位相変調回路は、本発明の第1、第2または第3の位相変調回路をCMOS技術で実現できる位相変調回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の第1の位相変調回路は、基準クロックを入力する電圧制御型発振回路と、基準クロックと該電圧制御型発振回路より出力される信号との位相差を求め、その出力結果を出力する位相比較回路と、位相比較回路の出力を前記電圧制御型発振回路の制御信号として演算するローパスフィルタとからなる位相ロックループ(PLL)からなる位相変調回路において、前記電圧制御型発振回路が、導通抵抗を電圧制御により可変できる偶数個のCMOSインバータと、奇数個の通常のCMOSインバータとを用いるN段のリングオシレータで構成され、該リングオシレータの各段から基準クロックから均一に $T/2 \times N$ ずつ位相のずれたN種類の信号を出力させることを特徴とする。

【0011】また、本発明の第2の位相変調回路は、前記本発明の第1の位相変調回路に加えて、前記電圧制御型発振回路からの出力を選択するエンコーダを設け、基準クロックから出力信号の遅延量をプログラム可能にしたことを特徴とする。

【0012】本発明の第3の位相変調回路は、前記本発明の第1または第2の位相変調回路に加えて、N段のリングオシレータの各段から出力される信号を入力してこれらの論理積を出力する論理積回路を設けたことを特徴とする。

【0013】本発明の第4の位相変調回路は、本発明の第1、第2、または第3のローパスフィルタを除く回路素子をMOSで構成し、基準クロックの周波数をリングオシレータ内で隣り合うCMOSインバータの位相差分まで疑似的に変倍制御させることを特徴とする。

【0014】

【作用】本発明の第1の位相変調回路においては、導通抵抗の制御できる偶数個のCMOSインバータと奇数個の通常のCMOSインバータとを直列に接続したリングオシレータのCMOSインバータの出力と外部から入力される基準クロックとの位相を位相比較回路で比較して進み位相、遅れ位相を検出し、その結果を出力させ、その結果を外部のローパスフィルタにて積分演算し、リングオシレータの導通抵抗制御可能なCMOSインバータの電圧制御端子に接続するPLLを構成する。

【0015】この時、基準クロックにロックされた電圧制御型発振器(VCO)より複数の出力を取り出し導通抵抗を制御可能なCMOSインバータのパルス遅延時間を利用して位相の異なった複数の信号が得られる。

【0016】本発明の第2の位相変調回路においては、VCOを構成するリングオシレータに挿入される偶数個の導通抵抗制御可能なCMOSインバータがエンコーダの選択にしたがってプログラマブルに複数個挿入、削除される。これにより、同一基準クロック内で位相の異なった複数の信号を得ることができる。

【0017】本発明の第3の位相変調回路においては、上記構成の電圧制御型リング発振器から出力された位相の異なる複数の信号の論理積を論理積回路で求めることにより、周波数変倍された信号を得ることができる。

【0018】本発明の第4の位相変調回路においては、ローパスフィルタを除く回路素子をMOSで構成するので、CMOSの技術で本発明の第1、第2あるいは第3の位相変調回路を実現できる。

【0019】

【実施例】本発明の一実施例に係る位相変調回路を図1及び図2に基づき説明すれば、以下の通りである。

【0020】この位相変調回路は、図1に示すように、基準クロック発生回路1と、位相比較器2と、ローパスフィルタ3とVCO4とからなるPLLで構成される。

【0021】VCO4は、Pch-FETを挿入した偶数個(ここでは4個)の導通抵抗制御型CMOSインバータ41~44と、通常のCMOSインバータを2個接続したバッファ45~47と、通常のCMOSインバータを2個接続したバッファ48及び1個の通常のCMOSインバータからなるインバータ49とを備え、導通抵抗

制御型CMOSインバータ41~44とバッファ45~48内のインバータ及びインバータ49とを直列に接続した4段リングオシレータで構成される。

【0022】このPLL(位相変調回路)では、VCO4の出力、すなわち、インバータ49の出力と基準クロックとの位相差が位相比較回路2で比較されて進み位相、遅れ位相が検出され、その結果をローパスフィルタ3で積分演算して得た参照電圧Vrefを各導通抵抗制御型CMOSインバータ41~44の導通抵抗を制御されるPch-MOSのゲート端子に印加することにより、VCO4の出力の位相が基準クロックの位相と一致するように制御され、発信周波数がロックされることになる。

【0023】すなわち、図2(a)に示すように、VCO4の出力NO9-Aが基準クロックに対して進み位相の場合には、位相比較器2の出力CMPOUTは位相差Bの間"H"となり、これがローパスフィルタ3で積分されて参照電圧Vrefのレベルがあがる。これにより、導通抵抗を制御されるPch-MOSのゲート電圧が上がってその導通抵抗が上がり、発振周波数を制御するt1、t2、t3、t4が遅れ、位相が基準クロックと一致するように動作する。

【0024】また、遅れ位相の場合には、図2(b)に示すように、位相比較器2の出力CMPOUTが逆に位相差Dの間"L"となり、これがローパスフィルタ3で積分されて参照電圧Vrefのレベルが下がり、進み位相になるようコントロールされる。なお、位相差が検出されないA、Cの間は位相比較器2はハイインピーダンスの状態になる。

【0025】さて、例えば基準クロック発生回路1の基準クロックを10MHzとして、このPLLが上記のようにしてロックされた状態では、導通抵抗制御型CMOSインバータ41~44により充放電されるバッファのゲート容量あるいはそれ自身の出力部分の拡散容量をC1、C2、C3、C4とすれば、発信の周波数制御はほとんどがC1、C2、C3、C4の充電時間により決定される。

【0026】ここで、バッファ45~47のバッファ時間と導通抵抗制御型CMOSインバータ41~44の放電時間とがそれぞれ一定であるため、図3のタイムチャートにNO1-A~NO4-Aで示すように、発信周波数はt1+t2+t3+t4で制御される。

【0027】これにより、バッファ45~47のノード信号として基準クロックから45°ずつ位相変調されたほぼデューティ50%の4種類の信号NO5-A~NO8-Aを得ることができ、各信号の立ち上がり立ち下がりにおいて1つの基準クロック内でタイミングが異なる8種類のエッジを得ることができる。なお、図3においてNO9-Aはインバータ49のノード信号、すなわち、VCO4の出力信号である。

【0028】図4は本発明を遅延回路に適用した他の実施例の回路図であり、図6に示す位相変調回路に加えて、交互に直列に接続される3個の導通抵抗制御型CMOSインバータ50～52と、通常のCMOSインバータを2個接続したバッファ53、54とを備えている。

【0029】これら追加された導通抵抗制御型CMOSインバータ50～52の導通抵抗を制御されるPch-MOSのゲート端子には上記参照電圧Vrefが印加され、追加された初段の導通抵抗制御型CMOSインバータ50～52の他のPch-MOS及びNch-MOSのゲートにはインバータ49の出力が印加される。

【0030】これらの追加された回路については図3のタイムチャートで示すt1がインバータ49の出力時間t5として得られ、同様の遅延時間を持ったt6の時間が導通抵抗制御型CMOSインバータ50の出力に得られる。

【0031】遅延時間は接続した基準クロック1と導通抵抗制御型CMOSインバータ41～44、50～52とMOSインバータ49の数によって容易に計算でき、CASサイクル以上の周波数のクロックを用いずにダイナミックRAM(DRAM)のRAS信号やCAS信号を得ることができる。また、この遅延回路によれば、RAS信号の周波数を変更する場合に遅延回路を交換することなく、RAS信号から所定の位相だけ遅れたCAS信号を得ることができる。

【0032】図5に示す本発明の他の実施例では、エンコーダから与えられるセレクト信号SEL1～4によって基準クロックから出力信号の遅延量をプログラム可能にするとともに、基準クロックを変倍できるようにしている。

【0033】すなわち、この実施例では、基準クロック発信装置1と、位相比較器2とローパスフィルタ3と、位相変調量が異なる2つの位相変調された信号を出力できる基本セルCELL1～4及びインバータ49とからなるVCO4と、各基本セルCELL1～4の出力の論理積を演算して出力する論理回路5とを備える。

【0034】各基本セルCELL1～4は、例えば図6に示すように、2個の導通抵抗制御型CMOSインバータI1、I2と、通常のCMOSインバータを2個接続したバッファB1、B2とを備え、バッファB1のノード信号が端子OT1から出力されるようにしてある。また、バッファB2のノード信号は、端子OT2から出力されるとともに、端子SELに入力されるセレクト信号*

$$8XF = NO1 \times NO2 + NO3 \times NO4 + NO5 \times NO6 + NO7 \times NO8$$

【0042】もちろん、この回路の倍変率は、セレクト信号SEL1～4の内容を変化させることにより、PLLに挿入される導通抵抗制御型CMOSインバータI1、I2とバッファB1、B2の個数をプログラムすることにより設定変更できる。

【0043】

*がHの時に開かれるゲート回路Gを介して端子FOに出力できるようにしてある。

【0035】また、各基本セルは、各導通抵抗制御型CMOSインバータI1、I2の導通抵抗を制御されるPch-MOSのゲート端子への参照電圧Vrefを入力する端子Vr、フィードバック電圧を入力する端子GIを有している。

【0036】各基本セルCELL1～4の端子FOは共通のインバータ49を介して第1段の基本セルCELL1の端子GIに接続され、第2段以降の各基本セルCELL2～4の端子GIにはその前段の基本セルCELL1～3の端子OT2が接続される。

【0037】また、各段の基本セルCELL1～4の端子SELにはそれぞれセレクト信号SEL1～4が個別に入力されるようにしてあり、エンコーダから出力されるセレクト信号SEL1～4によってPLLに挿入される導通抵抗制御型CMOSインバータI1、I2と、バッファB1、B2の数をプログラムできるようにしている。

【0038】例えば、第4段の基本セルCELL4に入力されるセレクト信号SEL4がHであり、他の基本セルCELL1～3に入力されるセレクト信号SEL1～3がLの場合には、第1段～第3段の基本セルCELL1～3のFOの出力が停止され、第4段の基本セルCELL4のFOの出力のみがインバータ49を介して第1段の基本セルCELL1の端子GIにフィードバックされるので、上記の各実施例と同様に8個の導通抵抗制御型CMOSインバータI1、I2と8個のバッファB1、B2とが交互に直列に接続されるVCO4が構成される。

【0039】したがって、この場合には、図7のタイムチャートのNO1～8に示すように、デューティ50%で、クロック周期Tの $2 \times 8 = 16$ 分の1の周期、すなわち、 22.5° ずつ位相がずれた8種類の信号が得られる。

【0040】各基本セルCELL1～4の各バッファB1、B2のノード信号NO1～8を論理積回路5に入力してそれらの論理積を次の数式1に従って求めると、図6の8XFに示すように、基準クロックの8倍周の倍変信号が得られる。

【0041】

【数式1】

※【発明の効果】以上説明したように、本発明の第1の位相変調回路によれば、位相がVCO内の導通抵抗制御型CMOSインバータの段数の2倍分の1ずつ異なる信号を、段数と同数だけ得ることができるとともに、1つの基準クロック内で導通抵抗制御型CMOSインバータの段数の2倍の数のエッジを得ることができる。したがっ

※50

て、基準クロックからの出力信号の位相のずれの設定をVCO内の導通抵抗制御型CMOSインバータの段数によって自由に設定することができ、基準クロックからの出力信号の位相のずれの設定の自由度が高められる。

【0044】本発明の第2の位相変調回路によれば、VCOに挿入される導通抵抗制御型CMOSインバータの段数をプログラムすることにより変更することができる。したがって、得られる信号の数とその位相のずれとを一層多用に設定することができ、基準クロック内のエッジの数や基準クロックからの出力信号の位相のずれを設定する自由度が一層高められる。

【0045】本発明の第3の位相変調回路によれば、各段から出力される信号の論理積をとることにより基準クロックの倍変信号を得ることができる。

【0046】更に、本発明の第4の位相変調回路によれば、CMOS技術で実現不能なローパスフィルタ以外の回路素子をMOSで構成するので、本発明の第1、第2あるいは第3の位相変調回路のローパスフィルタ以外の回路をCMOS技術によって実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例の回路図である。

【図2】本発明の位相比較器とローパスフィルタとのタイムチャートである。

【図3】本発明のタイムチャートである。

【図4】本発明の他の実施例の回路図である。

【図5】本発明のまた他の実施例の回路図である。

【図6】本発明のまた他の実施例の基本セルの回路図で

ある。

【図7】本発明のまた他の実施例のタイムチャートである。

【図8】従来のX'TAL接続型あるいはCR接続型発信装置の回路図である。

【図9】従来の1/2分周回路の回路図である。

【図10】従来の2相クロック発生回路の回路図である。

【図11】従来例の基準クロックと制御タイミングとを示すタイムチャートである。

【図12】従来例の発信装置の位相変調を示すタイムチャートである。

【符号の説明】

1 基準クロック発生回路

2 位相比較回路

3 ローパスフィルタ

4 VCO

5 論理積回路

41~44 導通抵抗制御型CMOSインバータ

45~48 バッファ

49 インバータ

50~52 導通抵抗制御型CMOSインバータ

53, 54 バッファ

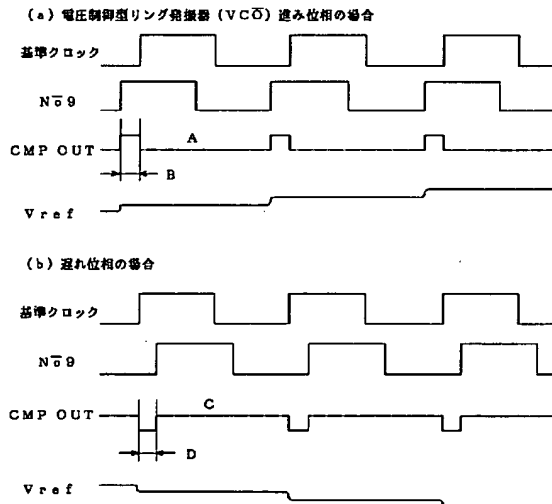
B1, B2 バッファ

G ゲート

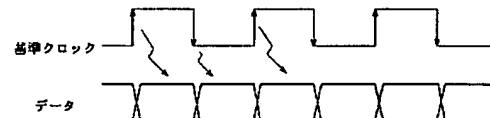
I1, I2 導通抵抗制御型CMOSインバータ

SELL1~4 基本セル

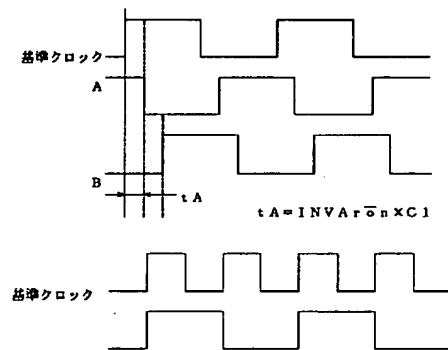
【図2】



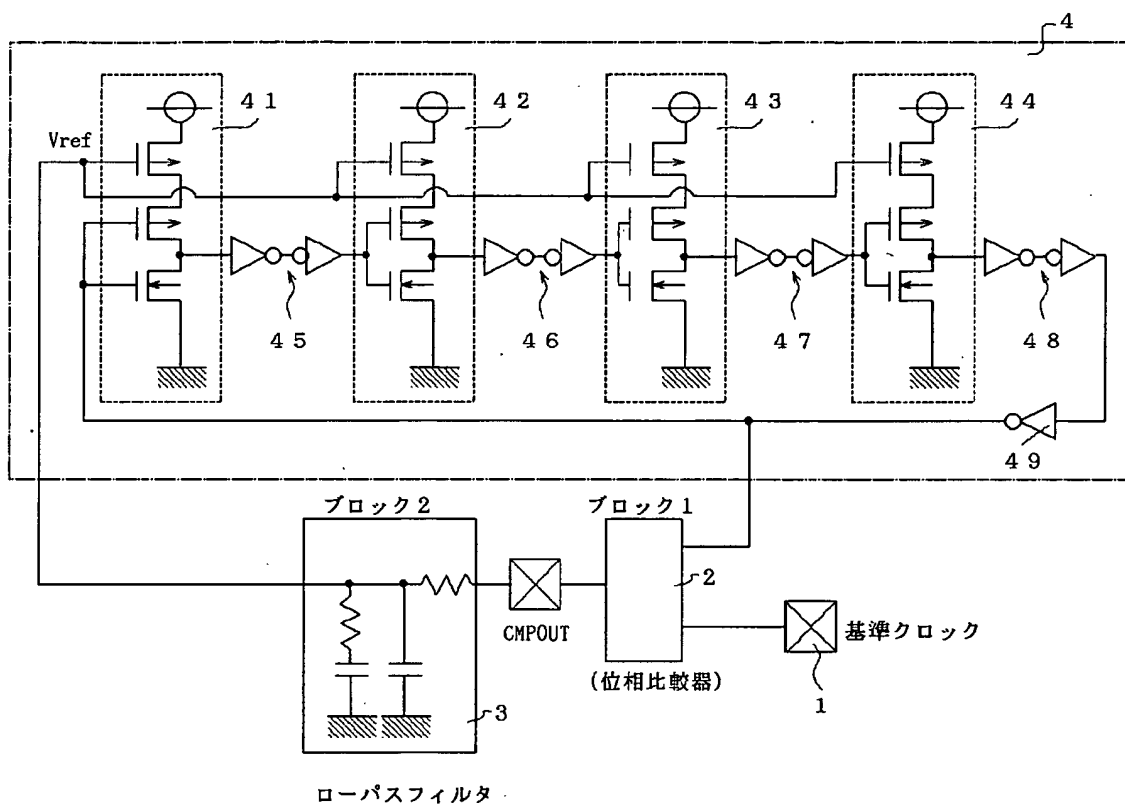
【図11】



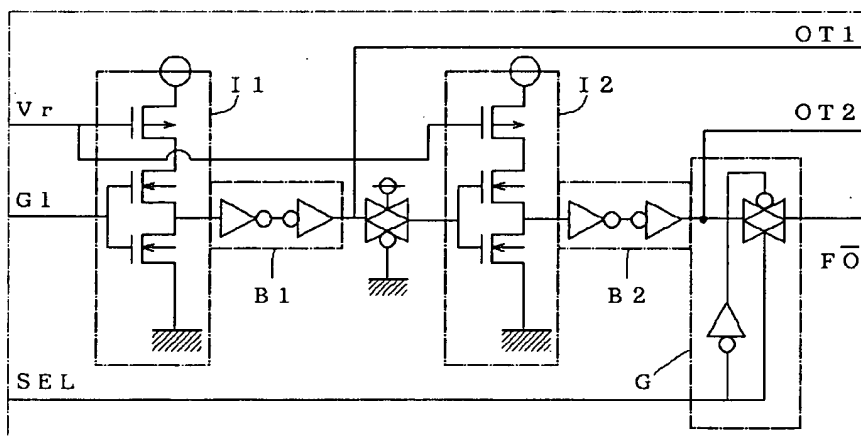
【図12】



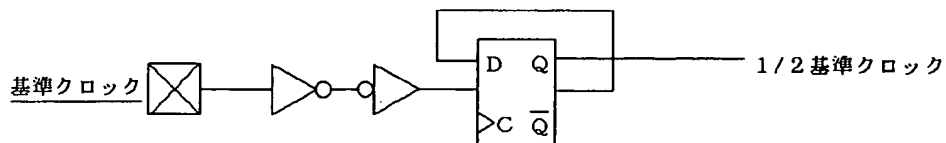
【図1】



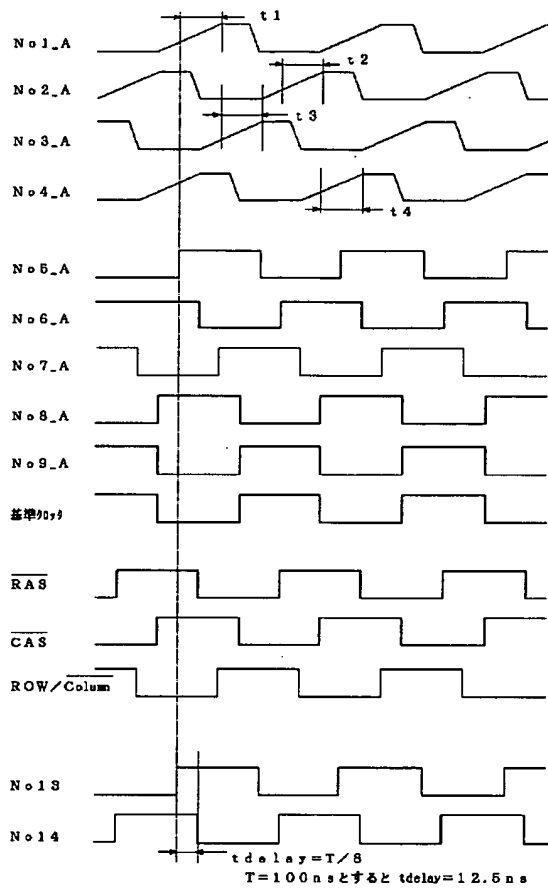
【図6】



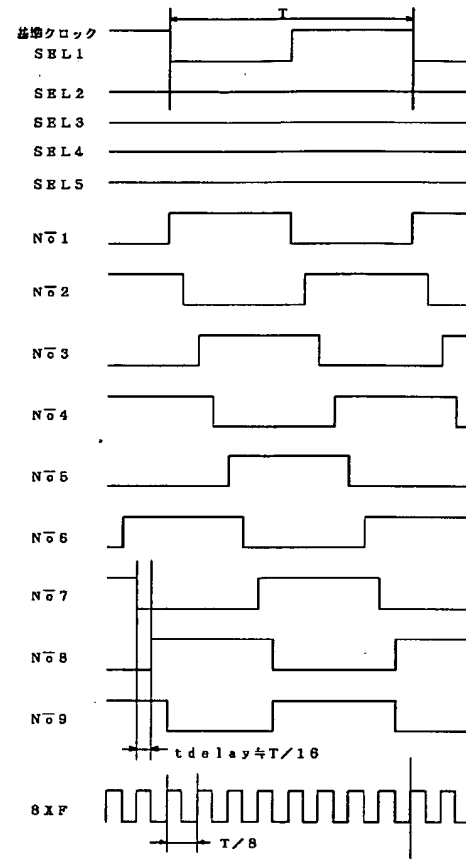
【図9】



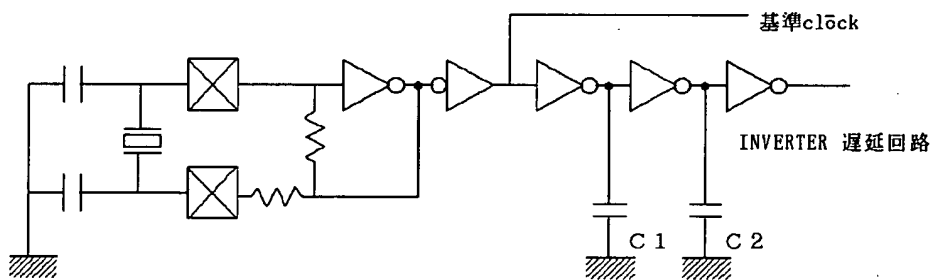
【図3】



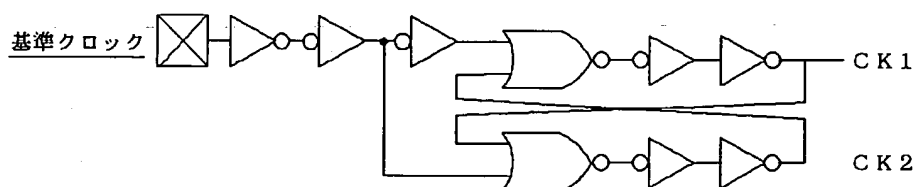
【図7】



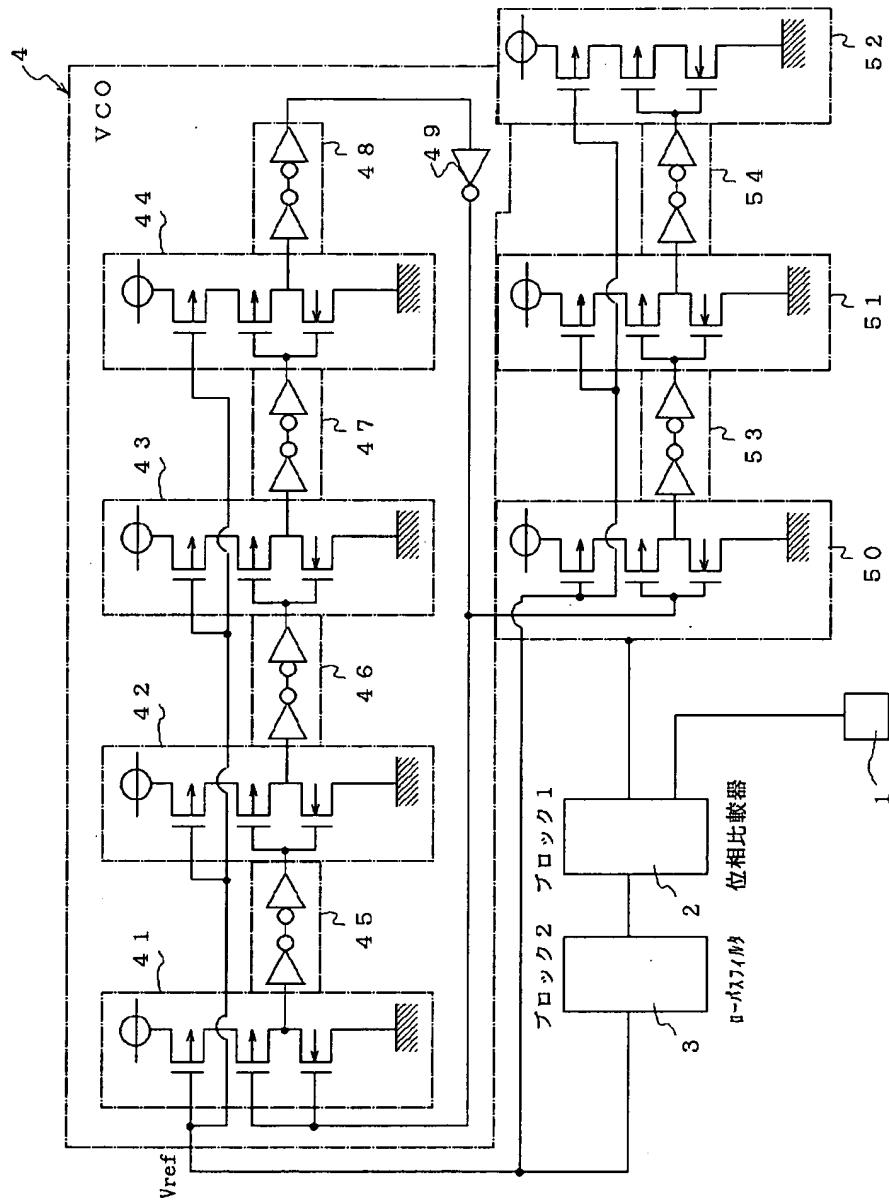
【図8】



【図10】



【図4】



【図5】

